

JAPANESE UTILITY MODEL ABSTRACT (JP)

PUBLICATION

(51) IPC Code: H03F 1/02

(11) Publication No.: sho 61-19532

(21) Application No.: sho 54-122869

(43) Publication Date: 12 June 1986

(22) Application Date: 5 September 1979

(71) Applicant:

Nihon Gakki Seio Co., Ltd.

10-1, Nakazawacho, Hamamatsu-si, Japan

(72) Inventor:

IDA MASARU

(54) Title of the Invention:

Power Amplification Transistor

Abstract:

Provided is a power amplifier capable of switching a power supply voltage of a power amplification transistor according to a signal corresponding to an input signal. The power amplifier includes the power amplification transistor, first through (I-1)th connection transistors, a power supply, and first through (n-1)th switches. The power amplification transistor receives a necessary power supply voltage in advance and power-amplifies an input signal and simultaneously provides a current of the power-amplified signal to a load. The first through (I-1)th connection transistors are sequentially cascaded to the power amplification transistor and receive signals obtained by voltage-shifting the input signal. The power supply outputs voltages of V_1 , V_2 , ..., and V_n ($V_n > \dots > V_2 > V_1$; $n > 1$). The first through (n-1)th switches are sequentially installed between the voltages of V_1 , V_2 , ..., and V_n of the power supply and a group of the power amplification transistor and the first through (I-1)th connection transistors. Every time voltage values of the input signals of the power amplification transistor exceed about V_1 , V_{1+2} , ..., and V_{n-1} , the first through (n-1)th switches are sequentially switched on and apply voltages V_{1+1} , V_{1+2} , ..., and V_n from the power supply to the (I-1)th connection transistor. Every time the voltage values of the input signals of the power amplification transistor exceed about V_1 , V_2 , ..., and V_{I-1} , the first through (I-1)th connection transistors are sequentially activated. The cascaded transistors provide the power supply voltage which changes according to received signals and can maintain a non-saturated state to the power amplification transistor, according to the outputs of the power supply received from the switches.

⑫ 実用新案公報(Y2)

昭61-19532

⑪ Int. Cl.⁴

H 03 F 1/02

識別記号

庁内整理番号

6932-5J

⑭ 公告 昭和61年(1986)6月12日

(全7頁)

⑬ 考案の名称 電力増幅器

⑮ 実 願 昭54-122869

⑯ 公 開 昭56-42007

⑰ 出 願 昭54(1979)9月5日

⑲ 昭56(1981)4月17日

⑲ 考 案 者 井 田 優 浜松市中沢町10番1号 日本楽器製造株式会社内

⑳ 出 願 人 日本楽器製造株式会社 浜松市中沢町10番1号

\textcircled{21} 代 理 人 弁理士 志賀 正武

審 査 官 下 道 晶 久

\textcircled{22} 参 考 文 献 実開 昭52-124644(JP, U)

1

2

\textcircled{23} 実用新案登録請求の範囲

予め必要な電源電圧を供給されたうえで入力信号を電力増幅すると共に、その出力電流を負荷に供給する電力増幅用トランジスタと、

この電力増幅用トランジスタに順次縦続接続されると共に前記入力信号を順次電圧シフトした信号を各々の入力とする第1、第2……第(1-1)の縦続トランジスタと、

電圧値 V_1, V_2, \dots, V_n ($V_n > \dots > V_2 > V_1; n > 1$) なる電圧出力を送出する電源と、

この電源の電圧値 V_1, V_2, \dots, V_l の各出力と前記電力増幅用トランジスタおよび第1、第2……第(1-1)の縦続トランジスタとの間に順次設けられた第1、第2……第1の一方方向性素子と、

前記電源の電圧値 $V_{l+1}, V_{l+2}, \dots, V_n$ の各出力と前記第(1-1)の縦続トランジスタとの間に各々設けられた第1、第2、……第(n-1)のスイッチ手段とを具備してなり、

前記電力増幅用トランジスタの入力信号の電圧値が略 $V_l, V_{l+1}, \dots, V_{n-1}$ を超える毎に、前記第1、第2、……第(n-1)のスイッチ手段が順次オンとなつて前記第(1-1)の縦続トランジスタに対し前記電源から電圧値 $V_{l+1}, V_{l+2}, \dots, V_n$ の各出力電圧を与えると共に、

前記電力用トランジスタの入力信号の電圧値が略 V_1, V_2, \dots, V_{l-1} を超える毎に、前記第1、第2、……第(1-1)の縦続トランジスタが順

次能動状態となり、この縦続トランジスタが前記各スイッチ手段から与えられる前記電源の各出力に基づいて、前記電力増幅用トランジスタに、その入力信号に応じて変化し、かつ、その非飽和状態を維持し得る電源電圧を与えるように構成したことを特徴とする電力増幅器。

考案の詳細な説明

この考案は、電力増幅用トランジスタの電源電圧を入力信号に対応する信号に応じて切換えるようにした電力増幅器に関する。

従来、オーディオ用等に用いられる電力増幅器として、電源回路から電力増幅用トランジスタに供給する電源電圧を入力信号(または出力信号)の大きさに応じて変化させ、これによつて電力増幅用トランジスタのコレクタ損失を減少させて電力効率の向上を計つたものが提供されている。

第1図は、上記のような電力増幅器の一例を示す図であつて、いわゆるE級電力増幅器の構成を示す図である。この図に示す電力増幅器は、入力端子1に印加した入力信号をコンプリメンタリSEPP接続された電力増幅用トランジスタ $Qa1, Qb1$ で増幅すると共にその増幅出力によつて負荷2を駆動するようにした構成において、前記入力信号の大きさが一定の値を超えたときに同入力信号の大きさに応じて電力増幅用トランジスタ $Qa1, Qb1$ に印加する電源電圧を変化させるようにしたものである。すなわち、この電力増幅器において例えば入力信号の正領域成分を増幅する

3

電力増幅用トランジスタQa 1は入力信号の値が第1の基準電圧以下であるときに電源端子Pa 1からダイオードDa 1を通して供給される電圧+Vc 1によつて動作する。そして入力信号の値が前記第1の基準電圧を超えた場合には、トランジスタQa 2がオンして電源端子Pa 2の電圧+Vc 2がダイオードDa 2、トランジスタQa 2を通して電力増幅用トランジスタQa 1に供給される。したがつてこの際電力増幅用トランジスタQa 1は、トランジスタQa 2から供給される電圧によつて動作する。また同様に電力増幅用トランジスタQa 1は、入力信号の値が第2の基準電圧を超えたときに、電源端子Pa 3（電圧+Vc 3が得られる）からダイオードDa 3、トランジスタQa 3、トランジスタQa 2を通して供給される電圧によつて動作する。このように電力増幅用トランジスタQa 1は、入力信号の値が第1、第2……の基準電圧を超えたときに、電源端子Pa 1、Pa 2……から供給される電圧によつて動作するものである。また、入力信号の負領域成分を増幅する電力増幅用トランジスタQb 1も、上記の場合と同様にして電源電圧を与えられる。（なお、図において負電源側の各素子、部分には、上記の正電源と対応するものについて付号Qb 1～Qb 3、Pb 1～Pb 3、Db 1～Db 3を付してある。またこの場合負電源側の電源端子Pb 1、Pb 2、……に得られる電圧は各々-Vc 1、-Vc 2、……となる。）

しかし上記の電力増幅器は、入力信号（出力信号）の値に応じて電力増幅用トランジスタQa 1、Qb 1の電源電圧+Vc、-Vcを第2図に示すように変化させ、これによつて前記各トランジスタのコレクタ損失を小に抑えて電力効率の向上を計るようにしたものである。（なお、このような電力増幅器は特開昭50-45549号等で提供されている。）

ところで、上記の電力増幅器においては、特に電力増幅用トランジスタQa 1、Qb 1の電源電圧を多段階に切換え得るように構成した場合に、同電源電圧を切換えるスイッチング用のトランジスタQa 2、Qa 3……、Qb 2、Qb 3……の飽和抵抗が大となり、これによつて電力効率が低下する欠点があつた。

また第3図は、上述したような電力増幅器の他

4

の例を示すものである。この図に示す電力増幅器は、入力端子1 1に印加された入力信号をコンプリメンタリSEPP接続された電力増幅用トランジスタQa 1 1、Qb 1 1によつて電力増幅すると共にその増幅出力により負荷1 2を駆動するようにした構成において、前記負荷1 2に供給する出力信号の値に応じて電力増幅用トランジスタQa 1 1、Qb 1 1に印加する電源電圧を多段階に切換えるようにしたものである。すなわち、この図において例えば入力信号の正領域成分を増幅する電力増幅用トランジスタQa 1 1は、その出力信号の値が第1の基準値、すなわち電源Ea 1の電圧+Vc 1以下である場合に電源端子Pa 1 1からダイオードDa 1 1を通して供給される電圧+Vc 1によつて動作する。そして出力信号の値が前記第1の基準値を超えた場合には、トランジスタQa 1 2がオンすることによつてトランジスタQa 1 3がオンし、これによつて電力増幅用トランジスタQa 1 1の電源電圧が電源端子Pa 1 2からトランジスタQa 1 3、ダイオードDa 1 2を通して供給される電圧+Vc 2に切換えられる。また同様にして出力信号の値が第2の基準値を超えた場合には、電源端子Pa 1 3の電圧+Vc 3が電力増幅用トランジスタQa 1 1に供給される。このように電力増幅用トランジスタQa 1 1に印加される電源電圧は、出力信号の値が第1、第2……の基準値を超えたときに、各出力信号の値に応じた電源電圧+Vc 1、+Vc 2……に切換えられる。また、入力信号の負領域成分を増幅する電力増幅用トランジスタQb 1 1の電源電圧も、上記と同様に出力信号の値に応じて切換えられる。（なお、この図においても負電源側の各素子、部分には、上記の正電源側と対応するものについて符号Qb 1 2、Qb 1 3、Pb 1 1～Pb 1 3、Db 1 1、Db 1 2、Eb 1を付してある。またこの場合負電源側の電源端子Pb 1 1、Pb 1 2……に得られる電圧は各々-Vc 1、-Vc 2、……となる。）

しかしこの電力増幅器は、電力増幅用トランジスタQa 1 1、Qb 1 1に印加する電源電圧+Vc、-Vcを出力信号に応じて第4図に示すように切換え、もつて電力効率の向上を計るようにしたものである。

しかしながら、上記の電力増幅器においては、電力増幅用トランジスタQa 1 1、Qb 1 1の電源

5

電圧が各々 $+V_{c1}$, $-V_{c1}$ から $+V_{c2}$, $+V_{c3}$ …
 \dots , $-V_{c2}$, $-V_{c3}$ …に切換えられる際、前記
 トランジスタ $Qa11$, $Qb11$ が飽和領域に近い
 状態で動作するため、トランジスタ $Qa11$, Qb
 11 の各コレクタ側からエミッタ側をみたインビ
 ーダンスが低くなり、これによつて出力信号に電
 源電圧の切換えに伴うスイッチングノイズが現わ
 れるという欠点があつた。

この考案は上記の事情に鑑み、電力増幅用トラ
 ンジスタの電源電圧を入力信号に対応する信号に
 応じて切換えるようにした電力増幅器において、
 特に電源の切換え段数を3段階以上の多段階に切
 換えるように構成した場合にも、高い電力効率が
 得られると共にスイッチングノイズの発生を抑え
 得るようにした電力増幅器を提供するもので、予
 め必要な電源電圧を供給されたうえで入力信号を
 電力増幅するとともに、その出力電流を負荷に供
 給する電力増幅用トランジスタと、この電力増幅
 用トランジスタに順次縦続接続されると共に前記
 入力信号を順次電圧シフトした信号を各々の入力
 とする第1、第2、…第 $(1-1)$ の縦続トラ
 ンジスタと、電圧値 V_1 , V_2 , … V_n ($V_n > \dots$
 $> V_2 > V_1$; $n > 1$)なる電圧出力を送出する電源
 と、この電源の電圧値 V_1 , V_2 , … V_l の各出力
 と前記電力増幅用トランジスタおよび第1、第2
 …第 $(1-1)$ の縦続トランジスタとの間に順
 次設けられた第1、第2…第 l の一方向性素子
 と、前記電源の電圧値 V_{l+1} , V_{l+2} , … V_n の各
 出力と前記第 $(1-1)$ の縦続トランジスタとの
 間に各々設けられた第1、第2、…第 $(n-1)$
 のスイッチ手段とを具備してなり、前記電力
 増幅用トランジスタの入力信号の電圧値が略
 V_l , V_{l+1} , … V_{n-1} を超える毎に、前記第1、
 第2、…第 $(n-1)$ のスイッチ手段が順次オン
 となつて前記第 $(1-1)$ の縦続トランジスタ
 に対して前記電源から電圧値 V_{l+1} , V_{l+2} , … V
 n の各出力電圧を与えると共に、前記電力用トラ
 ンジスタの入力信号の電圧値が略 V_1 , V_2 , …
 V_{l-1} を超える毎に、前記第1、第2、…第 $(1$
 $-1)$ の縦続トランジスタが順次能動状態とな
 り、この縦続トランジスタが前記各スイッチ手段
 から与えられる前記電源の各出力に基づいて、前
 記電力増幅用トランジスタに、その入力信号に応
 じて変化し、かつ、その非飽和状態を維持し得る

6

電源電圧を与えるようにしたものである。

以下、この考案の一実施例を第5図を参照して
 説明する。

第5図はこの考案による電力増幅器の構成を示
 す回路図であり、この図において入力端子31に
 印加された入力信号は、コンプリメンタリSEPP
 接続されたトランジスタ $Qa21$, $Qb21$ によつ
 て電力増幅され、その増幅出力がトランジスタ
 $Qa21$, $Qb21$ の各エミッタ抵抗32a, 32
 bの接続点(出力端子33)から負荷34に供給
 されるようになってい。そして前記電力増幅用
 トランジスタ $Qa21$, $Qb21$ は、これらラン
 ジスタの各コレクタ側に各々スイッチング用トラ
 ンジスタ $Qa22$, $Qb22$ が縦続接続されてい
 る。トランジスタ $Qa22$, $Qb22$ にはこれらト
 ランジスタの各ベースとトランジスタ $Qa21$,
 $Qb21$ の各ベースとの間に介挿された電源 $Ea2$
 1 , $Eb21$ によつて各々一定のバイアス電圧 $+V_{o21}$,
 $-V_{o21}$ (第1の基準値)が印加されて
 いる。この場合電源 $Ea21$, $Eb21$ は、ラン
 ジスタ $Qa22$, $Qb22$ に各々バイアス電圧 $+V_{o21}$,
 $-V_{o21}$ を与えると共に、トランジスタ Qa
 22 , $Qb22$ がオンしたときにトランジスタ Qa
 21 , $Qb21$ の各コレクターエミッタ間にこれ
 らトランジスタを定電流領域におくシフト電圧 $+V_{o21}$,
 $-V_{o21}$ を印加するものである。しかし
 てこれらトランジスタ $Qa22$, $Qb22$ は、前記
 入力信号を電源 $Ea21$, $Eb21$ を介して受ける
 と共に同入力信号の値が正負各領域で電圧 $+V_{o21}$,
 $-V_{o21}$ を超えたときにオンし、これによ
 つて前記トランジスタ $Qa21$, $Qb21$ の各電源
 電圧を前記入力信号の値に応じて変化させるもの
 である。

一方この電力増幅器は、前記各トランジスタ
 $Qa21$, $Qb21$, $Qa22$, $Qb22$ に正負電源
 を供給する電源 $Ea22 \sim Ea25$ からなる正電源
 と電源 $Eb22 \sim Eb25$ からなる負電源とを備え
 ており、電源端子 $Pa21 \sim Pa24$ に順次レベル
 が高くなる電圧 $+V_{c21} \sim +V_{c24}$ が得られ、
 電源端子 $Pb21 \sim Pb24$ に順次レベル(絶対値
 レベル)が高くなる電圧 $-V_{c21} \sim -V_{c24}$ が
 得られるようになってい。そして正電源側の前
 記電源端子 $Pa21 \sim Pa24$ に得られる各電圧
 は、電源端子 $Pa21$ に得られる電圧がダイオー

トDa 2 1を通して前記トランジスタQa 2 1のコレクタに供給され、電源端子Pa 2 2に得られる電圧がダイオードDa 2 2を通して前記トランジスタQa 2 2のコレクタに供給され、電源端子Pa 2 3, Pa 2 4に得られる電圧が各々電源電圧切5 換回路3 5 a, 3 6 aを通して前記トランジスタQa 2 2のコレクタに供給されるようになっている。電源電圧切換回路3 5 aは、出力端子3 3に得られる出力信号の値が基準電圧+Vo 2 2 (第2の基準値)を超えたときに電源端子Pa 2 3の10 電圧をトランジスタQa 2 2を介してトランジスタQa 2 1のコレクタに供給するもので、ベースに前記出力信号が印加され、エミッタに電源Ea 2 6の電圧+Vo 2 2が与えられるように接続されたトランジスタQa 2 3と、このトランジスタ15 Qa 2 3の出力電圧がベースに印加され、エミッタが電源端子Pa 2 3に接続されたトランジスタQa 2 4と、このトランジスタQa 2 4のコレクタとトランジスタQa 2 2のコレクタとの間に介挿されたダイオードDa 2 3とからなるものであ20 る。また電源電圧切換回路3 6 aは、前記出力信号の値が基準電圧+Vo 2 3を超えたときに電源端子Pa 2 4の電圧をトランジスタQa 2 2を介してトランジスタQa 2 1のコレクタに供給するもので、前記電源電圧切換回路3 5 aと同様に、ト25 ランジスタQa 2 5, Qa 2 6電源Ea 2 7、ダイオードDa 2 4を有して構成されている。また負電源側においても電源端子Pb 2 1~Pb 2 4の電圧をトランジスタQb 2 1, Qb 2 2に供給する回路が設けられているが、この回路はその構成が上記正電源側の回路と同様であるので、正電源側の要素に対応する要素に添字aに代えて添字bをつけた符号を付してその説明を省略する。

次に、上記の構成からなる電力増幅器の動作について説明する。

まず、入力信号の正領域成分を電力増幅する電力増幅用トランジスタQa 2 1は、入力信号の値が基準電圧+Vo 2 1以下である場合に、電源端子Pa 2 1からダイオードDa 2 1を通して供給される電圧+Vc 2 1の下で動作し、その出力電流40 を負荷3 4に供給する。そして入力信号の値が基準電圧+Vo 2 1を超えると、トランジスタQa 2 2がオンし、電源端子Pa 2 2の電圧+Vc 2 2がダイオードDa 2 2、トランジスタQa 2 2を通じ

てトランジスタQa 2 1のコレクタに供給される。したがってこの際トランジスタQa 2 1は、トランジスタQa 2 2から供給される電圧、すなわち入力信号の値に応じて変化する電圧によつて動作する。(以上第6図のAのカーブ参照)そして更に、入力信号の値がトランジスタQa 2 2をオンさせる値で、かつこのとき出力端子3 3に得られる出力信号の値が基準電圧+Vo 2 2を超えた場合には、トランジスタQa 2 3がオンしてトランジスタQa 2 4がオンし、これによつて電源端子Pa 2 3の電圧+Vc 2 3がトランジスタQa 2 4、ダイオードDa 2 3、トランジスタQa 2 2を通してトランジスタQa 2 1のコレクタに供給される。したがってこの際トランジスタQa 2 115 は、電圧+Vc 2 3の下で動作する(以上第6図のBのカーブ参照)。また更に、前記出力信号の値が基準電圧+Vo 2 3を超えた場合には、上記と同様にしてトランジスタQa 2 5, Qa 2 6がオンし、電源端子Pa 2 4の電圧がトランジスタQa 2 2 1のコレクタに供給され、このトランジスタQa 2 1が電圧+Vc 2 4の下で動作する。

上記の動作において、電源端子Pa 2 3, Pa 2 4の電圧+Vc 2 3, +Vc 2 4がトランジスタQa 2 1に供給されるときには、電源切換回路3 5 a, 3 5 bのトランジスタQa 2 4, Qa 2 6がいずれも飽和状態におかれる。したがってこのときのトランジスタQa 2 4, Qa 2 6における電力損失は極僅かである。またこのとき、トランジスタQa 2 1のコレクターエミッタ間には、電源Ea 2 1によつてこのトランジスタQa 2 1が非飽和領域におかれるようにシフト電圧Vo 2 1が印加されており、この結果、トランジスタQa 2 1はそのコレクタ側からエミッタ側を見たインピーダンスが高くなっている。そして、トランジスタQa 35 2 1に供給される電圧+Vc 2 3, +Vc 2 4は、全てトランジスタQa 2 2を介するため、入力信号の値に応じて変化する追従電圧となり、したがって、トランジスタQa 2 1の電源電圧が+Vc 2 2から+Vc 2 3, +Vc 2 4 (またはこの逆)に切換えられた場合にも、この際同トランジスタQa 2 1から出力される出力信号中に現われるスイッチングノイズは極僅かである。

また、入力信号の負領域成分を増幅する電力増幅用トランジスタQb 2 1も、上記と同様にして

負電源電圧を供給され、入力信号（または出力信号）の値に応じた電源電圧の下で動作する。

なお、上記の実施例においては、電力増幅用トランジスタ $Qa21$, $Qb21$ の電源電圧を各々 $+Vc21 \sim +Vc24$, $-Vc21 \sim -Vc24$ の4段階に切換えるように構成したが、この切換え段数は電源電圧切換回路（35a, 36a, 35b, 36b）の数を正負電源側において各々1つまたは2つ以上の複数とすることにより3段以上の複数段としてよい。またこの考案の適用対象は、上記の実施例のようなプッシュプル電力増幅器に限られるものではなく、シングル電力増幅器であってもよい。

以上の説明から明らかなように、この考案によれば、予め必要な電源電圧を供給されたうえで入力信号を電力増幅するとともに、その出力電流を負荷に供給する電力増幅用トランジスタと、この電力増幅用トランジスタに順次縦続接続されると共に前記入力信号を順次電圧シフトした信号を各々の入力とする第1、第2、……第 $(1-1)$ の縦続トランジスタと、電圧値 V_1, V_2, \dots, V_n ($V_n > \dots > V_1; n > 1$) なる電圧出力を送出する電源と、この電源の電圧値 V_1, V_2, \dots, V_l の各出力と前記電力増幅用トランジスタおよび第1、第2……第 $(1-1)$ の縦続トランジスタとの間に順次設けられた第1、第2……第 l の一方性素子と、前記電源の電圧値 $V_{l+1}, V_{l+2}, \dots, V_n$ の各出力と前記第 $(1-1)$ の縦続トランジスタとの間に各々設けられた第1、第2、……第 $(n-1)$ のスイッチ手段とを具備してなり、前記電力増幅用トランジスタの入力信号の電圧値が略 $V_l, V_{l+1}, \dots, V_{n-1}$ を超える毎に、前記第1、第2、……第 $(n-1)$ のスイッチ手段が順

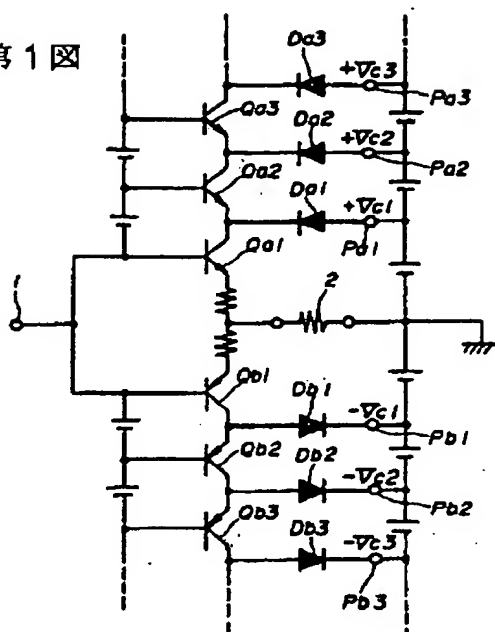
次オンとなつて前記第 $(1-1)$ の縦続トランジスタに対し前記電源から電圧値 $V_{l+1}, V_{l+2}, \dots, V_n$ の各出力電圧を与えると共に、前記電力用トランジスタの入力信号の電圧値が略 V_1, V_2, \dots, V_{l-1} を超える毎に、前記第1、第2、……第 $(1-1)$ の縦続トランジスタが順次能動状態となり、この縦続トランジスタが前記各スイッチ手段から与えられる前記電源の各出力に基づいて、前記電力増幅用トランジスタに、その入力信号に応じて変化し、かつ、その非飽和状態を維持し得る電源電圧を与えるようにしたから、特に電力増幅用トランジスタの電源電圧を3段階以上の複数段に切換える電力増幅器として、電源電圧切換用のトランジスタの損失を小に抑え得て高い電力効率が得られ、しかも電源電圧切換時におけるスイッチングノイズの発生を僅かなものに抑えることができる等の利点を得られる。

図面の簡単な説明

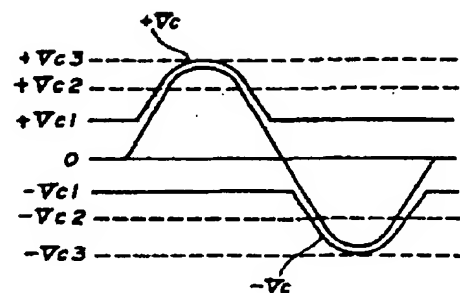
第1図は従来の電力増幅器の一例を示す回路図、第2図は同電力増幅器の出力信号と電源電圧との関係を示す図、第3図は従来の電力増幅器の別の例を示す回路図、第4図は同電力増幅器の出力信号と電源電圧との関係を示す図、第5図はこの考案による電力増幅器の一実施例を示す回路図、第6図は第5図に示す電力増幅器の出力信号と電源電圧の関係を示す図である。

$Qa21, Qb21$ ……電力増幅用トランジスタ、 $Qa22, Qb22$ ……スイッチング用トランジスタ、34……負荷、35a, 35b, 36a, 36b……スイッチ手段（電源電圧切換回路）、 $Ea22 \sim Ea25, Eb22 \sim Eb25$ ……電源。

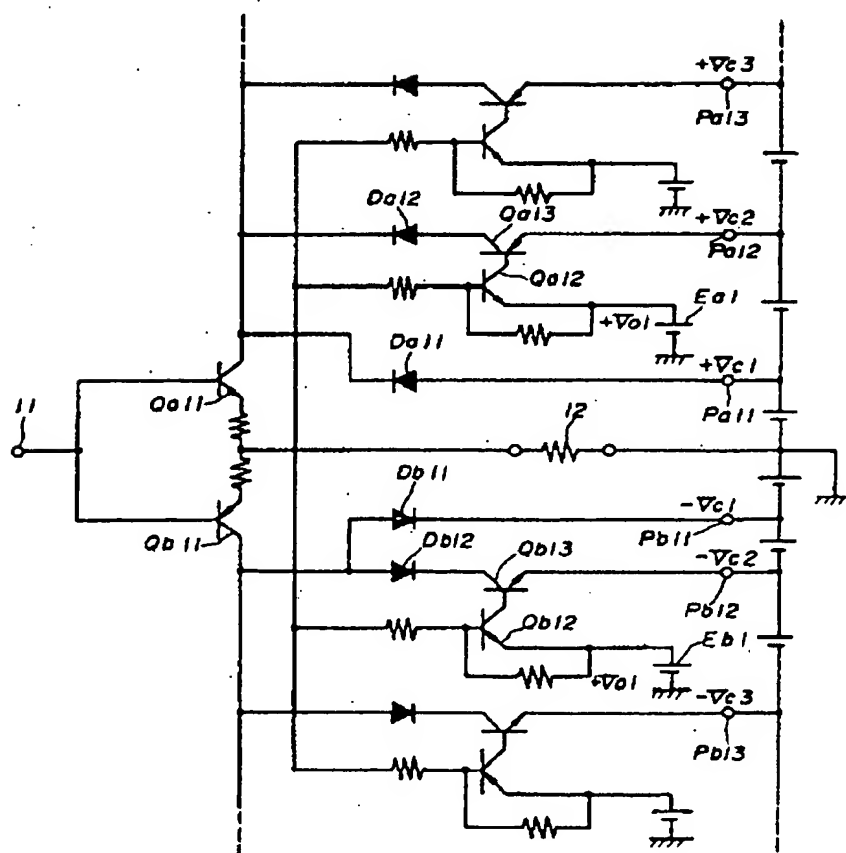
第 1 図



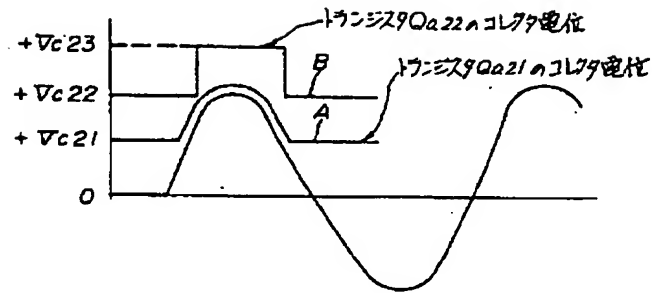
第 2 図



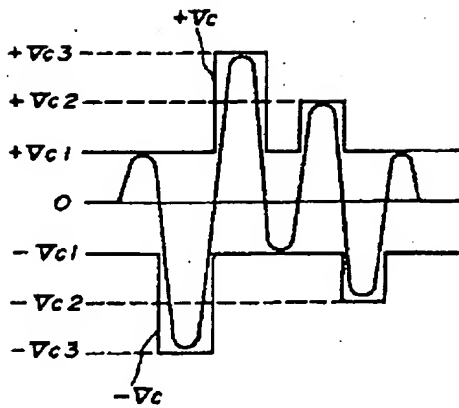
第 3 図



第 6 図



第 4 図



第 5 図

